

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-347665

(43)Date of publication of application : 22.12.1994

(51)Int.Cl.

G02B 6/30

(21)Application number : 05-136351

(71)Applicant : NEC CORP

(22)Date of filing : 08.06.1993

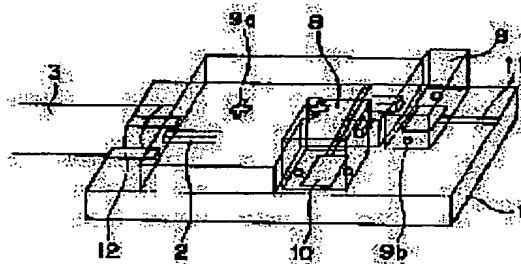
(72)Inventor : NISHIMOTO YUTAKA

(54) PRODUCTION OF OPTICAL DEVICE

(57)Abstract:

PURPOSE: To provide a process for production of a low-cost optical device to mount optical parts and electronic devices on a substrate on which a light guide is formed, by eliminating a stepping process, thereby enabling optical high-efficiency coupling of the optical parts and the light guide and enabling mass production on a substrate scale in all production stages including electric wiring of the electronic devices and formation of pads, etc.

CONSTITUTION: A mask pattern 12 and positioning marker 9b for forming a V-groove for optical coupling of the optical parts, such as optical fiber 3 and semiconductor optical element 8, and the light guide 2 formed on the Si substrate 1 and for positional and fixing the optical parts, such as optical fiber 3 and semiconductor element 8, a positioning marker 9a for setting the optical axis of the light guide 2, an electrode pad 10 and an electric wiring 11 are formed on the Si substrate 1 before the light guide 2 is formed.



LEGAL STATUS

[Date of request for examination] 08.06.1993

[Date of sending the examiner's decision of rejection] 07.05.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2798583

[Date of registration] 03.07.1998

[Number of appeal against examiner's decision of rejection] 08-08771

[Date of requesting appeal against examiner's decision of rejection] 06.06.1996

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 3 4 7 6 6 5

(43) 公開日 平成 6 年 (1 9 9 4) 1 2 月 2 2 日

(51) Int. Cl.⁵
G02B 6/30

識別記号

庁内整理番号
9317-2K

F I

技術表示箇所

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平 5 - 1 3 6 3 5 1

(22) 出願日 平成 5 年 (1 9 9 3) 6 月 8 日

(71) 出願人 0 0 0 0 0 4 2 3 7

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 西本 裕

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

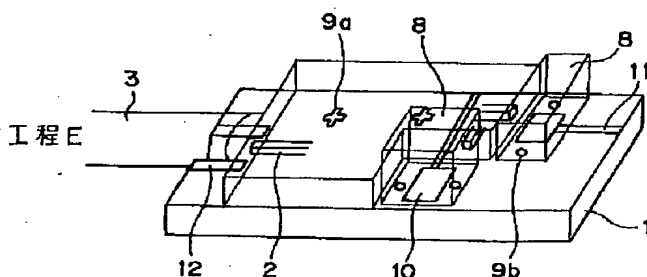
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 光デバイスの製造方法

(57) 【要約】

【目的】 光導波路が形成された基板上に光部品及び電子デバイスを搭載する光デバイスについて、段差プロセスを無くすことで、光部品と光導波路との光学的高効率結合を可能にさせ、かつ電子デバイスの電気配線、並びにパッドなどの形成も含めて全ての製造工程が基板スケールでの量産製造を可能とさせることにより、低コストな光デバイスの製造方法を与える。

【構成】 光ファイバ 3 及び半導体光素子 8 などの光部品と S i 基板 1 上に形成された光導波路 2 が光学的に結合し、光ファイバ 3 及び半導体素子 8 などの光部品を位置決め固定するための V 溝形成用マスクパターン 1 2 や位置合わせマーカ 9 b、光導波路 2 の光軸を設定する位置合わせマーカ 9 a、電極パッド 1 0、並びに電気配線 1 1 を、光導波路 2 を形成する前に S i 基板 1 に形成する。



【特許請求の範囲】

【請求項 1】光ファイバ及び半導体光素子などの光部品と基板上に形成された光導波路とが前記基板上で光学的に結合し、かつ前記光部品が前記基板上に固定された光デバイスの製造方法において、

前記光部品を位置決め固定するためのマーカ、前記光導波路の光軸を設定するためのマーカ、溝形成用マスクパターン、前記光部品用及び電子デバイス用の電気配線、並びにパッドを、前記光導波路を形成する前に前記基板上に形成することを特徴とする光デバイスの製造方法。

【請求項 2】光ファイバ及び半導体光素子などの光部品と基板上に形成された光導波路とが前記基板上で光学的に結合し、かつ前記光部品が前記基板上に固定された光デバイスの製造方法において、

前記基板上に、前記光部品を位置決め固定するための第 1 のマーカ、前記光導波路の光軸を設定するための第 2 のマーカ、前記光部品用及び電子デバイス用の電気配線、並びにパッドを、前記基板に形成する工程と、前記第 2 のマーカにコアを位置合わせして前記光導波路を形成する工程と、

前記光導波路の端面を形成するとともに、前記第 1 のマーカ、第 2 のマーカ、電気配線、及びパッドを露出させる工程と、

前記第 1 のマーカに位置合わせして前記光部品を実装する工程と、を含むことを特徴とする光デバイスの製造方法。

【請求項 3】光ファイバ及び半導体光素子などの光部品と基板上に形成された光導波路とが前記基板上で光学的に結合し、かつ前記光部品が前記基板上に固定された光デバイスの製造方法において、

前記基板上に前記光部品を位置決め固定するための第 1 のマーカ、前記光導波路の光軸を設定するための第 2 のマーカ、前記光部品用及び電子デバイス用の電気配線、パッド、並びに光ファイバを実装するための溝形成用マスクパターンを、前記基板に形成する工程と、

前記第 2 のマーカにコアを位置合わせして前記光導波路を形成する工程と、

前記光導波路の端面を形成するとともに、前記第 1 のマーカ、第 2 のマーカ、電気配線、パッド、及び溝形成用マスクパターンを露出させる工程と、

前記溝形成用マスクパターンを用いたエッチングにより、光ファイバ実装用溝を形成する工程と、

前記第 1 のマーカに位置合わせして前記光部品を実装するとともに、前記溝に光ファイバを実装する工程と、を含むことを特徴とする光デバイスの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は光ファイバ及び半導体光素子などの光部品と光導波路が同一基板上に搭載された光デバイスの製造方法に関する。

【 0 0 0 2 】

【従来の技術】光通信システムの大容量化が進むと同時に、多機能の高度なシステムが求められている一方で、光ファイバネットワークの小型化、低コスト化、高集積化、高機能化の要求が強い。その中で光送信器、光受信器等の光デバイスの小型化、高集積化、低コスト化は必須である。現在実用に供されている各種の光デバイスは半導体光源、半導体光検出器、分波器などの光部品と光ファイバの接続に関して、レンズなどを介して空間的に光学接続する構造が用いられている。このレンズなどを用いて空間的に光学接続する構造は、マイクロオプティックスと呼ばれている。マイクロオプティックス構造では、レンズの形状、半導体光源及び半導体光検出器のパッケージの形状等に制限されて小型化することは困難である。また、空間を伝搬する光を効率よく光ファイバや光検出器に結合させるためには、精度の良い光軸調整が要求され、その作業に多大な工数が必要とされるためコストが下がらないのが現状である。したがって、マイクロオプティックス構造は、同一機能または異種機能の高集積化には全く不適であるのは言うまでもない。

【 0 0 0 3 】最近、双方向の通信システムの必要が高まり、また家庭にまでこのシステムを導入することが望まれている。このとき双方向通信を可能にさせる光デバイスとして光の送信器と受信器が必要となるが、これを個別に構成していたのでは光送受信装置が大型化し、システム普及の妨げになる。従って、2つの機能を一体化した光デバイス（光送受信器）が望まれるが、マイクロオプティックス構造では前述した理由から困難である。このような背景から小型化、高集積化、低コスト化を目指す構造として光導波路を用いたものがヘンリーらの文献アイトリプルイーライトウェイブテクノロジー 1530~1539頁（1989年）等によれば検討されている。

【 0 0 0 4 】図 6 に従来の構造の光デバイスの平面図を示す。図 6 の光デバイスでは、基板 1 上に合分岐機能光デバイス 7 を含む光導波路 2 が形成され、この光導波路 2 と光ファイバ 3、半導体光源 4 及び信号検出用の半導体光検出器 5 a がそれぞれ同一の基板 1 上で直接光学結合されている。半導体光源 4 の光出力モニター用の半導体光検出器 5 b も同一の基板 1 上に集積され、光導波路 2 と光学的に接続されているが、この半導体光源 4 の光出力モニター用の半導体光検出器 5 b はなくても、双方向光通信用送受信器の機能としては何等問題ない。また、半導体光検出器 5 a、5 b の受信回路用などの電子デバイス 6 が同一の基板 1 上に集積されているが、この電子デバイスは同一の基板 1 上にあってもなくても双方向光通信用送受信器の機能としては何等問題ない。光導波路 2 を用いて光送受信器を構成すれば、小型化はもちろんのこと、光導波路自体はリソグラフィプロセスを用いて一括に多量生産されるために低コスト化が可能とな

る。

【 0 0 0 5 】

【 発明が解決しようとする課題 】 この基板上に搭載された光ファイバ及び半導体光素子などの光部品と基板上に形成された光導波路とが基板上で光学的に結合し、かつ半導体光素子が基板上に固定された光デバイスでは、光導波路と光部品とを光学的に高効率結合するためには、光導波路と半導体光素子の光軸を 3 次元方向で $1 \mu\text{m}$ 前後の精度で合わせる必要があるが、そのためには精度の良い光軸調整が要求され、その作業に多大な工数が必要とされるためコストが下がらないのが現状である。すなわち、基板上に搭載される光ファイバ、半導体レーザ、半導体光検出器、光スイッチなどのさまざまな光部品と基板上に形成された光導波路とを基板上で簡易に光学的に高効率結合させること、すなわち高精度な位置決めを可能にする光デバイスの製造方法は得られていない。

【 0 0 0 6 】 本発明の目的は、光導波路が形成された基板上に光部品及び電子デバイスを搭載する光デバイスについて、段差プロセスを無くすことで、光部品と光導波路との光学的高効率結合を可能にさせ、かつ電子デバイスの電気配線、並びにパッドなどの形成も含めて全ての製造工程において基板スケールでの製造を可能とさせることにより、量産が可能で低コストな光デバイスの製造方法を提供することにある。

【 0 0 0 7 】

【 課題を解決するための手段 】 本発明は、光ファイバ及び半導体光素子などの光部品と基板上に形成された光導波路とが前記基板上で光学的に結合し、かつ前記光部品が前記基板上に固定された光デバイスの製造方法において、前記光部品を位置決め固定するためのマーカ、前記光導波路の光軸を設定するためのマーカ、溝形成用マスクパターン、前記光部品用及び電子デバイス用の電気配線、並びにパッドを、前記光導波路を形成する前に前記基板に形成することを特徴とする。

【 0 0 0 8 】

【 作用 】 本発明による光デバイスの製造方法を用いれば、光導波路と光部品との高効率結合を可能にし、かつ基板スケールでの製造が行えるため、量産が可能で低コストな光デバイスが得られる。すなわち、本発明では光導波路と光部品との光軸が一致するように、光導波路を形成する前に、光部品を位置決め固定するための所望のパターン、光導波路の光軸を設定する所望のパターン、並びに光部品用の所望の電気配線を形成するため、段差プロセスが無く、現状のフォトリソグラフィプロセスのパターン位置合わせ精度である $0.1 \mu\text{m}$ 程度で光軸を合わせることができる。従って、全ての製造工程について基板スケールでの製造が行えることにより、量産が可能で低コストな光デバイスが得られる。

【 0 0 0 9 】

【 実施例 】 次に本発明の実施例について図面を参照して

説明する。

【 0 0 1 0 】 図 1 ～ 図 5 は、本発明を用いた光デバイスの製造方法の工程の一例を示す図である。

【 0 0 1 1 】 まず図 1 に示すように、S i 基板 1 上に、S i 基板 1 に形成する光導波路と S i 基板に実装する光ファイバ及び半導体光素子との光軸を一致させるための位置合わせマーカ 9 a、半導体光素子の実装位置を決める位置合わせマーカ 9 b、光半導体素子を実装する際の電氣的コンタクトをとる電極パッド 1 0、半導体光素子用の所望の電気配線 1 1、並びに光ファイバを実装する V 溝パターンを形成する際の V 溝形成用マスクパターン 1 2 などの各種パターンをリソグラフィ法と R I E（リアクティブイオンエッチング）法、イオンビームエッチング法、R I B E（リアクティブイオンビームエッチング）法などのドライエッチング法または化学薬品を用いるウェットエッチング法等のエッチング法を用いることにより、所望の位置、形状、寸法、並びに厚さに形成する（工程 A）。

【 0 0 1 2 】 所望の位置、形状、寸法の形成精度としては、現状のリソグラフィ工程の限界である $0.1 \mu\text{m}$ 程度が容易に得られる。また、上述したそれぞれのパターンには、その必要性能に応じた材料が用いられ、通常は厚さが数千オングストロームから $1 \mu\text{m}$ 程度の C r、P t、A u、W S i、W、N i、M o などの金属を用いる。従って、各パターンで使用する材料が異なるときには各パターン形成毎に、材料成膜及びリソグラフィを繰り返すことにより、工程 A が完了する。なお、各種パターンの材料は、なんら限定されるものではないことは明らかである。

【 0 0 1 3 】 また、電気配線 1 1 を形成するときには、あらかじめ S i 基板 1 表面に熱酸化法や C V D 法、スパッタ法などにより絶縁膜層 1 4 を形成しておく場合もある。

【 0 0 1 4 】 次に図 2 に示すように、位置合わせマーカ 9 a、9 b、電極パッド 1 0、電気配線 1 1、並びに V 溝形成用マスクパターン 1 2 が形成された S i 基板 1 上に、C V D 法などによる石英膜 1 7 の成膜法、及びリソグラフィ法と R I E（リアクティブイオンエッチング）法、イオンビームエッチング法、R I B E（リアクティブイオンビームエッチング）法などのドライエッチング法または化学薬品を用いるウェットエッチング法等のエッチング法を用いることにより、石英系材料からなり、クラッドーコアークラッドの構造を有し、その厚さとして少なくとも $2.5 \mu\text{m}$ 程度は必要とする光導波路 2 を形成する（工程 B）。

【 0 0 1 5 】 このとき、光導波路 2 のコア 1 6 をパターン化する際には、工程 A で形成した光ファイバ及び半導体光素子との光軸を一致させるための位置合わせマーカ 9 a とパターン合わせをした上で行う。この精度としては現状のリソグラフィ工程の限界である $0.1 \mu\text{m}$ 程度

が容易に得られる。

【0016】次に図3に示すように、半導体光素子及び光ファイバと光導波路を光学的に接続するために、リソグラフィ法とRIE法、イオンビームエッチング法、RIBE法などのドライエッチング法または化学薬品を用いるウェットエッチング法等のエッチング法を用いることにより、光導波路2の端面18を形成するとともに、この工程で最初の工程AであらかじめSi基板1に形成しておいた位置合わせマーカ9a、9b、電極パッド10、電気配線11、並びにV溝形成用マスクパターン12などを表面に露出させる(工程C)。

【0017】次に図4に示すように、KOHやヒドラジンなどの化学薬品を用いたSi基板1の異方性ウェットエッチングによりファイバ実装用V溝15を形成する

(工程D)。エッチング用の化学薬品としてKOHを用いた場合には、V溝形成用のマスクパターン12の材料としてはWSi、W、Cr、Au、SiO₂、AlなどがKOHに対する耐性が強く有効である。特にWSi、W、Cr、Au、Alは、位置合わせマーカ9a、9b、電極パッド10や高速信号領域までを扱える電気配線11にも兼用できる。従って、工程Aは材料を適切に選択することにより同一材料で済ますことができ、1回の材料の成膜とリソグラフィで工程を終了することができる。また、WSi、W、Cr、Auなどは850℃程度の熱処理にも耐えられるため汎用性が高い。なお、各種パターンの材料はなんら限定されるものではないことは明らかである。

【0018】最後に図5に示すように、半導体光素子8の実装位置を決めるため光導波路2の光軸と高精度に位置合わせされたマーカ9bまたは電極パッド10を用いて光半導体素子8を実装する。光ファイバ3もV溝15に実装し、光デバイスが完成する(工程E)。半導体光素子8を実装する方法は、パターン認識技術とチップ実装技術の両方を用いて、位置合わせマーカ9bを目印に高精度に実装する方法や、電極パッド10にAuSn、PbSn、InPなどの材料からなるハンダバンプを形成し、ハンダバンプによるセルフアライメント効果を用いて半導体光素子8を高精度に実装する方法などを用いる。

【0019】なお、高精度な位置、形状、寸法を必要とせず、光導波路2の直下に形成しない電気配線11などのパターンについては、工程Dと工程Eの間に形成しても良い。また、光導波路上に形成する電気配線や電極パッドなどのパターンについては、工程Cと工程Dの間に形成することもできる。

【0020】以上説明してきたように、本発明の光デバイスの製造方法では、光導波路2の端面を形成した後存在する少なくとも25μmの段差や、深さとして数十μmを必要とするV溝15の段差を形成した後にはリソグラフィ工程は無く、最初の工程Aで位置合わせマーカ

9a、9b、電極パッド10、電気配線11、並びにV溝形成用マスクパターン12などのパターンをSi基板1平面内にあらかじめ作り込んでおくため、全てのリソグラフィ工程に段差プロセスが無い。従って、光結合効率に影響する光軸整合を決定する位置合わせマーカ9a、9b、電極パッド10、並びにV溝形成用マスクパターン12、コア16形成に関するSi基板1平面内の精度としては、現状のリソグラフィ工程の限界である

0.1μm程度が容易に得られるので、高精度で高効率な光デバイスの製造方法が実現できる。また全ての製造工程について基板スケールでの量産製造が行え、低コストな光デバイスが得られる。また、電気配線11を光導波路2の配置に関係なくレイアウトできるため、高密度で設計の自由度の高い光デバイスの製造方法が得られる。

【0021】

【発明の効果】本発明による光導波路、各種光部品を同一基板上に集積した光デバイスの製造方法を用いれば、段差プロセスが無く基板上に搭載された光部品と基板上に形成された光導波路を光学的に高効率結合が行えることを可能にし、かつ電子デバイスの電気配線、並びにパッドなどの形成も含めて全ての製造工程が基板スケールでの量産製造が行え、加えて高密度で設計の自由度の高い光デバイスを実現できるため、低コストな光デバイスが得られる。

【図面の簡単な説明】

【図1】光デバイスの製造方法を示す工程図である。

【図2】光デバイスの製造方法を示す工程図である。

【図3】光デバイスの製造方法を示す工程図である。

【図4】光デバイスの製造方法を示す工程図である。

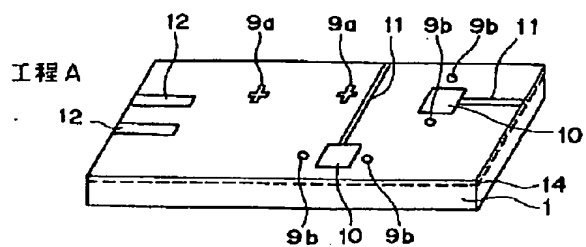
【図5】光デバイスの製造方法を示す工程図である。

【図6】光デバイスの平面図である。

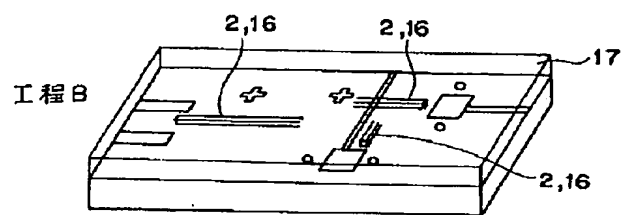
【符号の説明】

- 1 基板
- 2 光導波路
- 3 光ファイバ
- 4 半導体光源
- 5 a, 5 b 半導体光検出器
- 6 電子デバイス
- 7 合分岐機能光デバイス
- 8 光半導体素子
- 9 a, 9 b 位置合わせマーカ
- 10 電極パッド
- 11 電気配線
- 12 V溝形成用マスクパターン
- 14 絶縁膜層
- 15 ファイバ実装用V溝
- 16 コア
- 17 石英膜
- 18 端面

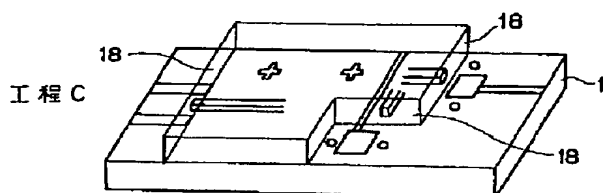
【 図 1 】



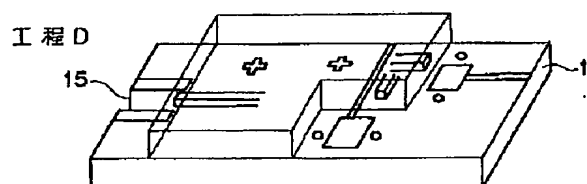
【 図 2 】



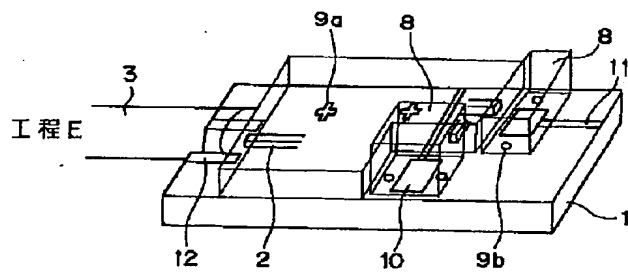
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

